

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-195038

(43)Date of publication of application : 15.07.1994

(51)Int.Cl.

G09G 3/20

G09G 3/36

(21)Application number : 04-344827

(71)Applicant : OKI ELECTRIC IND CO LTD

(22)Date of filing : 24.12.1992

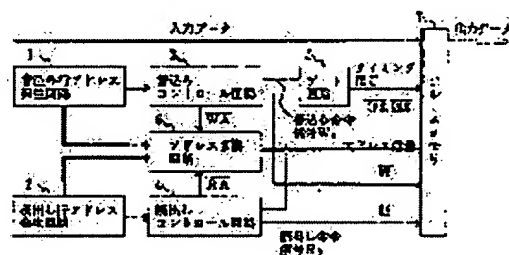
(72)Inventor : HOSONO HIROYOSHI

**(54) METHOD AND DEVICE FOR CONTROLLING LIQUID CRYSTAL DISPLAY**

(57)Abstract:

**PURPOSE:** To eliminate the discontinuity and the deviation in synchronism of video due to the skip of image occurring in the case of displaying a video signal by the noninterlaced scanning by a liquid crystal display controller driving the scanning by interlace.

**CONSTITUTION:** The liquid crystal display controller is provided with a write control circuit 3 controlling the write row address of a video signal to a frame memory 7, and a read control circuit 4 making a period by prescribed plural frames as one period and providing a frame distinguishing signal means distinguishing the frame within one period and controlling a read row address reading out the frame memory 7 by the frame discriminating signal, and the address signal of the write and the read are switched by these write, read control circuits 3, 4.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

**THIS PAGE BLANK (USPTO)**

(11)特許出願公開番号

(43)公開日 平成6年(1994)7月15日

### 技術表示箇所

R 9176-5 G  
7319-5 G

(74)代理人 弁理士 清水 守 (外2名)

- 1 -

## 【特許請求の範囲】

【請求項 1】 液晶表示制御装置において、(a) フレームメモリへの映像信号の書き込み行アドレスを制御する手段と、(b) 所定の複数のフレーム分の期間を 1 周期として、この 1 周期内の前記フレームを弁別するフレーム弁別信号手段と、(c) 前記フレーム弁別信号手段のフレーム弁別信号によって、フレームメモリを読み出す読出し行アドレスを制御する手段とを有し、(d) 前記書き込み行アドレスを制御する手段と前記読出し行アドレスを制御する手段によってノンインタレース信号をインタレースの表示装置で表示することを特徴とする液晶表示制御装置。

【請求項 2】 前記フレーム弁別信号手段は分周器である請求項 1 記載の液晶表示制御装置。

【請求項 3】 液晶表示制御方法において、(a) フレームメモリへ映像信号の入力の順で書き込みアドレスを設定し、(b) フレームメモリに書き込まれた映像信号の読出しアドレスを、前記書き込みアドレスの中から飛び越しによって選択して設定し、(c) 前記読出しアドレスによってフレームメモリを読み出すことによりノンインタレースの映像信号をインタレースの表示装置によって表示可能とすることを特徴とする液晶表示制御方法。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明は、液晶表示装置における液晶表示用に映像信号を処理する液晶表示制御方法及びその装置に関するものである。

## 【0002】

【従来の技術】従来、このような装置としては実開平 1-181090 号に示されるようなものがある。図 10 は従来の液晶表示制御装置を示すブロック図である。図 10 において、21 は水平・垂直タイミング及びクロック作成回路、22 はフレームメモリ書き込み回路、23 はフレームメモリ読出し及び液晶表示回路、24 はフレームメモリ回路、25 は液晶表示ユニット、26 は書き込みアドレス変換回路である。

【0003】図 10 において、映像信号発生源からの映像信号をフレームメモリ回路 24 に書き込み、さらにこのフレームメモリ回路 24 から映像信号を読み出して画面に表示している。そして、このフレームメモリ回路 24 への映像信号の書き込み、及び読出しの制御は、書き込みアドレス変換回路 26 とフレームメモリ読出し及び液晶表示回路 23 によって行っている。

【0004】この書き込みアドレス変換回路 26 は、外部制御信号にしたがってフレームメモリ回路 24 への映像信号の書き込みアドレスを任意のアドレスに変換するものであり、これによって映像信号表示部分を画面上の上下、左右の任意の位置に移動させることができる。また、フレームメモリ読出し及び液晶表示回路 23 は、フレームメモリ回路 24 に書き込まれた映像信号を、フ

ームメモリ回路 24 上の位置に対応した画面上の位置に表示する表示手段である。

【0005】そして、映像信号を垂直同期信号に同期させるとともに、水平同期信号に対応させて 1 フレーム中の映像信号をフレームメモリ回路 24 に取り込む一方、取り込まれた映像信号の順序（書き込み行アドレス及び書き込み列アドレスの順序）に映像信号を読出し、1 フレームにおいて所定数の水平同期信号で映像を表示している。

## 【0006】

【発明が解決しようとする課題】しかし、前記従来の液晶表示制御装置においては、映像信号と液晶表示装置の走査の方式により、表示上不都合が生じる場合がある。一般に、映像信号においては、画面の緻密さと描画の高速性の両方の要求を満たすために、飛越し走査（以下、インタレースという）という走査を行っている。

【0007】図 11 は、インタレースを行わないノンインタレースによる 1 フィールドの走査線図であり、図 12 は、インタレースによる 1 フィールドの走査線図である。ノンインタレースは、図 11 に示すように画面走査は画面の左上隅から右下隅にかけて横方向に複数回の走査を繰り返すことによって、1 フィールドの走査を行うものである。

【0008】一方、インタレースは、例えば 2:1 のインタレースを行う場合には、図 12 に示すように (a) と (b) の 2 フィールドで 1 画面（以下、1 フレームという）を構成するものであり、各フィールドの走査線数を同じとするとともに走査する位置を互いに補間して

(c) に示される 1 フレームを形成するものである。これによって、フィールドを長くすることなく画面の分解能を上げることができる。

【0009】したがって、前記従来の装置において、液晶表示装置がノンインタレースによる走査駆動の場合には映像信号もノンインタレースの走査信号である必要があり、また液晶表示装置がインタレースによる走査駆動の場合には、映像信号もインタレースの走査信号である必要がある。つまり、液晶表示装置と映像信号の両方がインタレースあるいはノンインタレースの同一の走査方式でなければ、画飛びによる映像の不連続性や同期ずれが生じて、表示上に支障が生じるという問題点が生じる。

【0010】従来、前記問題点を解決する手段として、例えば、

(1) シリアルアクセスフィールドメモリを複数個使い、インタレース信号の偶数フィールドの信号と奇数フィールドの信号をそれぞれ別のシリアルアクセスフィールドメモリに書き込み、読出しの際には、1 ライン毎に偶数フィールドと奇数フィールドとを交互に読み出すことによって、正常なノンインタレース表示を行う。

(2) 偶数フィールドの信号の書き込みの際には、1 ライ

3

ン分の信号を書き込む毎に 1 ライン分のアドレス間隔をあけ、奇数フィールドの信号の書き込みの際には、偶数フィールドの信号の書き込みの際に間隔がつけられた 1 ライン分の各領域に 1 ライン分ずつ順次書き込み、読出しの際には順番に読み出して偶数フィールドと奇数フィールドの信号が 1 ライン分ずつ交互に読み出すことによって、正常なノンインタレース表示を行う。等の手段がとられている。

【0011】しかしながら、前記従来の手段においては、フィールドメモリに大容量を要するといった問題点や、また制御装置が複雑となるといった問題点がある。したがって、本発明は前記の問題点を解決して、インタレースによる走査駆動の液晶表示装置によりノンインタレースの走査による映像信号を表示する場合に、簡単な処理でかつ小規模な回路構成の液晶表示制御装置によって、画飛びによる映像の不連続性や同期ずれをなくすことを目的とする。

【0012】

【課題を解決するための手段】本発明は、パーソナルコンピュータ等の映像信号をフレームメモリへ書き込み、フレームメモリから映像信号を読み出し、液晶表示装置に表示する液晶表示制御装置において、フレームメモリへの映像信号の書き込み行アドレスを制御する手段と、所定の複数のフレーム分の期間を 1 周期として、この 1 周期内の前記フレームを弁別するフレーム弁別信号手段と、フレーム弁別信号手段のフレーム弁別信号によって、フレームメモリを読み出す読出し行アドレスを制御する手段とを有し、書き込み行アドレスを制御する手段と読出し行アドレスを制御する手段を有するものである。

【0013】また、液晶表示制御方法において、フレームメモリへ映像信号の入力の順で書き込みアドレスを設定し、フレームメモリに書き込まれた映像信号の読出しアドレスを、書き込みアドレスの中から飛び越しによって選択して設定し、読出しアドレスによってフレームメモリを読み出すものである。

【0014】

【作用】本発明は、フレームメモリへの映像信号の書き込みアドレスに対し、読出しアドレスを制御することにより、ノンインタレースの映像信号をインタレース走査信号の順にデータを並べ換え、かつ、この映像信号を垂直同期信号及び水平同期信号と同期させることができ、これによって、処理が簡単かつ小規模な回路構成とすることができ、画飛びによる映像の不連続性や同期ずれを防止することができる。

【0015】また、分周器の分周比を変更することによって、任意のインタレースに対応することが可能である。

【0016】

【実施例】以下、本発明の実施例について図面を参照しながら詳細に説明する。図 1 は本発明の液晶表示制御装

4

置を示すブロック図である。図 1 において、1 は書き込み行アドレス発生回路、2 は読出し行アドレス発生回路、3 は書き込みコントロール回路、4 は読出しコントロール回路、5 はゲート回路、6 はアドレス切換回路、7 はフレームメモリである。

【0017】図示されない映像信号発生源からの映像信号の入力データはフレームメモリ 7 に書き込まれて、いったん記憶された後に再び読み出されて図示されない表示装置に出力データとして出力される。このフレームメモリ 7 への入力データの書き込みにおいては、アドレス信号と書き込みのタイミング信号がフレームメモリ 7 に入力される。

【0018】アドレス信号は、書き込み行アドレス発生回路 1 によって設定される書き込み行アドレス信号であり、書き込みコントロール回路 3、及びアドレス切換回路 6 による切換えによりフレームメモリ 7 に入力される。また入力データの書き込みのタイミング信号は、書き込みコントロール回路 3 と読出しコントロール回路 4 の出力のアンド条件から得られる。

【0019】一方、このフレームメモリ 7 からの入力データの読出しにおいても、アドレス信号と読出しのタイミング信号がフレームメモリ 7 に入力される。アドレス信号は、読出し行アドレス発生回路 2 によって設定される読出し行アドレス信号であり、読出しコントロール回路 4、及びアドレス切換回路 6 による切換えによりフレームメモリ 7 に入力される。

【0020】また入力データの読出しのタイミング信号は、書き込みコントロール回路 3 と読出しコントロール回路 4 の出力のアンド条件から得られる。アドレス切換回路 6 は、書き込み行アドレス発生回路 1 からの書き込み行アドレスのアドレス信号と読出し行アドレス発生回路 2 からの読出し行アドレスのアドレス信号とを、書き込みコントロール回路 3 からの信号  $\overline{WA-N}$ （以下、 $\overline{N}$  は反転信号を示す）及び読出しコントロール回路 4 の信号  $\overline{RA-N}$  によって切り換えてフレームメモリ 7 に入力するものである。

【0021】また、フレームメモリ 7 は、 $n$  行  $\times$   $m$  列構成のメモリアレイと  $n$  行のシリアル入力メモリ及び  $n$  行のシリアル出力メモリから構成されるフレームメモリであり、入力データは図示しないシリアル入力メモリに入力された後に図示しないメモリアレイに転送されて記憶され、次に、このメモリアレイから図示しない出力メモリに転送された後出力されるものである。

【0022】次に、本発明の液晶表示制御装置のフレームメモリへの書き込み命令及び読出し命令について図 1 及び図 2 の本発明の液晶表示制御装置のフレームメモリへの書き込み命令及び読出し命令のタイムチャートによって説明する。図 2 において、 $\overline{VSYNC-N}$  は垂直同期信号、 $\overline{HSYNC-N}$  は水平同期信号、 $\overline{VDISP}$  は垂直表示信号、 $\overline{HDISP}$  は水平表示信号、 $\overline{CLK}$  はシリア

ル入力クロック信号、E N E B L E - N はイネーブル信号、W s は書き込み命令信号、R s は読出し命令信号である。

【0023】なお、図2において、破線の期間は1ライン分の期間を拡大して表示している。図2において、1フレームの表示は垂直同期信号V S Y N C - N の1周期の間に行われ、この間に1フレームを表示するに要するnライン分の入力データの書き込み及び読出しが行われる。そして、この入力データの書き込みは書き込み命令信号W s によって行われ、一方入力データの読出しは読出し命令信号R s によって行われる。

【0024】ここで、1ラインからnラインの入力データは、垂直表示信号V D I S P がハイレベルの期間で、かつ水平同期信号H S Y N C - N がハイレベルの期間に入力される。書き込み命令信号W s は、垂直表示信号V D I S P がローレベルの垂直表示期間であり、かつ水平同期信号H S Y N C - N の立ち下がりから、水平表示期間の始まりである水平表示信号H D I S P の立ち上がりの時点までの期間内で出力されるように制御されて、書き込みコントロール回路3から出力される。なお、入力データは、水平表示信号H D I S P がハイレベルの状態である水平表示期間の間に入力されることになる。

【0025】一方、読出し命令信号R s は、垂直表示信号V D I S P がローレベルの垂直表示期間であり、かつ水平表示期間の終わりである水平表示信号H D I S P の立ち下がりから、次の水平同期信号H S Y N C - N の立ち下がりまでの期間内で出力されるように制御されて、読出しコントロール回路4から出力される。したがって、入力データが1ライン分の期間(図2の破線で示される期間)において、水平同期信号H S Y N C - N の立ち下がりから、入力データが到達するまでの間に書き込み命令信号W s によって、次のタイミングで入力してくる入力データの書き込みを行い、この入力データの書き込み終了後、読出し命令信号R s によって書き込まれた入力データを読み出す。

【0026】次に、本発明の液晶表示制御装置の書き込み命令信号及び読出し命令信号について、前記図1、2と図3の本発明の液晶表示制御装置のフレームメモリのブロック図、図4の本発明の液晶表示制御装置の書き込み命令信号のタイムチャート、及び図5の本発明の液晶表示制御装置の読出し命令信号のタイムチャートを用いて説明する。

【0027】図3において、71はシリアル入力メモリ、72はフレームメモリ、73はシリアル出力メモリ、C L K はシリアル入力クロック信号、W E - N はシリアル入力イネーブル信号、R E - N はシリアル出力イネーブル信号、C A S - N , R A S - N はタイミング信号、W A - N は書き込み行アドレス設定信号、R A - N は読出し行アドレス設定信号である。

【0028】フレームメモリ7は図3に示されるように

シリアル入力メモリ71とメモリアレイ72とシリアル出力メモリ73とから構成され、入力データをシリアル入力メモリ71、メモリアレイ72、シリアル出力メモリ73の順に入力及び転送を行い出力するものである。このフレームメモリ7に入力される信号としては、図1に示すように入力データとアドレス信号とタイミング信号C A S - N , R A S - N とシリアル入力イネーブル信号W E - N とシリアル出力イネーブル信号R E - N がある。ここで、シリアル入力イネーブル信号W E - N と書き込み時のタイミング信号C A S - N , R A S - N とをまとめて書き込み命令信号W s とし、シリアル出力イネーブル信号R E - N と読出し時のタイミング信号C A S - N , R A S - N とをまとめて読出し命令信号R s と呼ぶことにする。

【0029】はじめに、入力データをシリアル入力メモリ71に入力する書き込み命令信号W s について説明する。図4のタイムチャートは入力データをシリアル入力メモリ71に入力する際のタイミング信号C A S - N , R A S - N , 書き込み行アドレス設定信号W A - N , 及びシリアル入力イネーブル信号W E - N の関係を示している。

【0030】なお、図4において、破線で示される期間は入力データの1ライン分を示している。入力データのシリアル入力メモリ71に対する入力は、シリアル入力イネーブル信号W E - N によってシリアル入力メモリ71への格納が許可され、シリアル入力クロック信号C L K に同期して行われる。

【0031】シリアル入力メモリ71に入力データが格納された後、入力データのシリアル入力メモリ71からメモリアレイ72へのデータの転送が行われる。この転送においては、データ転送、リフレッシュ、及びアドレス設定を制御する2つのタイミング信号C A S - N , R A S - N と、メモリアレイ72に格納する行アドレスを設定するための書き込み行アドレス設定信号W A - N とによって行われる。図4において、タイミング信号C A S - N , R A S - N が同時にローレベル状態のタイミングにおいて書き込み行アドレス設定信号W A - N の定めるアドレスに書き込みが行われる。

【0032】1ライン分の入力データの書き込みが終わると、次の1ライン分の入力データの書き込みで行われる。この書き込みにおいても、前回の書き込みと同様に次のシリアル入力イネーブル信号W E - N による次の1ライン分の入力データのシリアル入力メモリ71への入力と、続いて行われるメモリアレイ72へのデータの転送とが行われる。

【0033】このとき、書き込み行アドレス設定信号W A - N の定めるアドレスは前回のアドレスの次のアドレスであり、順次この操作を繰り返すことによって、nライン分の入力データがメモリアレイ72に書き込まれる。次に、入力データのメモリアレイ72からの読出しにつ

7

いて説明する。この読出しは、メモリアレイ72に書き込まれた入力データのシリアル出力メモリ73への転送と、続いて行われるシリアル出力メモリ73からの入力データの読出しによって行われる。

【0034】図5のタイムチャートはメモリアレイ72に書き込まれた入力データをシリアル出力メモリ73に転送し、さらにシリアル出力メモリ73から入力データを読み出す際のタイミング信号CAS-N, RAS-N, 読出し行アドレス設定信号RA-N、シリアル出力イネーブル信号RE-Nの関係を示している。なお、図5において、破線で示される期間は入力データの1ライン分を示し、また読出し行アドレス設定信号RA-Nの上段は第1フレームにおけるアドレスを示し、読出し行アドレス設定信号RA-Nの下段は第2フレームにおけるアドレスを示している。

【0035】本発明の液晶表示制御装置における読出しは、読出しの周期を複数の垂直同期期間に分けて行い、それぞれの垂直同期期間においてアドレスを飛び越して読み出すことによって、1フレームの映像信号を飛び飛びに読み出して複数のフィールドを形成するものであり、これによってノンインタレースの入力データをインタレースした入力データとして出力するものである。

【0036】本発明の実施例において、2:1のインタレースを行うものとする、2つの垂直同期期間をそれぞれ第1フレームと第2フレームとするものであり、それぞれの周期において、別のフィールドに対する読出しを行う。はじめに、第1フレームの垂直同期期間における動作を説明する。この第1フレームは、1ラインからnラインまでの間の中から奇数番目のラインを読み出すものであり、この奇数番目のラインに対して0、2、4、...、n-4、n-2のアドレス番号を割当てておく。

【0037】垂直同期信号VSYNC-Nがハイレベルとなった後、読出し行アドレス設定信号RA-Nは第1フレームである0のアドレス番地を示す信号を、タイミング信号CAS-N, RAS-Nのタイミングで入力する。この0のアドレス番地を示す読出し行アドレス設定信号RA-Nによって、メモリアレイ72のアドレス番地0に書き込まれている入力データがシリアル出力メモリ73に転送される。なお、この時の転送はシリアル入力クロック信号CLKに同期して行われる。

【0038】次に、シリアル出力メモリ73に転送されたアドレス番地0の入力データは、シリアル出力メモリ73に入力されるシリアル出力イネーブル信号RE-Nによって読み出される。したがって、この段階で1ライン目の入力データが読み出される。なお、この時の読出しもシリアル入力クロック信号CLKに同期して行われる。

【0039】この1ライン目の読出しに続いて、3ライン目の読出しが行われる。この3ライン目の読出しは、

8

タイミング信号CAS-N, RAS-Nがローレベルとなるタイミングで読出し行アドレス設定信号RA-Nのアドレス番地2が指定されて、メモリアレイ72に書き込まれたアドレス番地2に書き込まれている入力データが読み出されてシリアル出力メモリ73に転送される。

【0040】次に、シリアル出力メモリ73に転送されたアドレス番地0の入力データは、シリアル出力メモリ73に入力されるシリアル出力イネーブル信号RE-Nによって読み出される。この段階で3ライン目の入力データが読み出されることになる。なお、この時の読出しもシリアル入力クロック信号CLKに同期して行われる。

【0041】この工程をアドレス番地n-2までついで繰り返すことによって第1フレームでの読出しが終了し、奇数番目のアドレスに記憶されている入力データが読み出される。次に、第2フレームの垂直同期期間における動作を説明する。この第2フレームは、1ラインからnラインの中から偶数番目のラインを読み出すものであり、この偶数番目のラインに対して1、3、5、...、n-3、n-1のアドレス番地を割当てておく。

【0042】垂直同期信号VSYNC-Nがハイレベルとなった後、読出し行アドレス設定信号RA-Nは1のアドレス番地（図の読出し行アドレス設定信号RA-Nの下段のアドレス）を示す信号を、タイミング信号CAS-N, RAS-Nのタイミングで入力する。このアドレス番地1を示す読出し行アドレス設定信号RA-Nによって、メモリアレイ72のアドレス番地1に書き込まれている入力データが読み出されてシリアル出力メモリ73に転送される。なお、この時の転送はシリアル入力クロック信号CLKに同期して行われる。

【0043】次に、シリアル出力メモリ73に転送されたアドレス番地1の入力データは、シリアル出力メモリ73に入力されるシリアル出力イネーブル信号RE-Nによって読み出される。したがって、この段階で2ライン目の入力データが読み出される。なお、この時の読出しもシリアル入力クロック信号CLKに同期して行われる。

【0044】この2ライン目の読出しに続いて、4ライン目の読出しが行われる。この4ライン目の読出しは、タイミング信号CAS-N, RAS-Nがローレベルとなるタイミングで読出し行アドレス設定信号RA-Nの第2フレームのアドレス番地3の内容が読み出され、メモリアレイ72のアドレス番地3に書き込まれている入力データがシリアル出力メモリ73に転送される。

【0045】次に、シリアル出力メモリ73に転送されたアドレス番地3の入力データは、シリアル出力メモリ73に入力されるシリアル出力イネーブル信号RE-Nによって読み出される。この段階で4ライン目の入力データが読み出されることになる。なお、この時の読出しもシリアル入力クロック信号CLKに同期して行われ

る。

【0046】この工程をアドレス番地 $n-1$ までついで繰り返すことによって第2フレームでの読出しが終了し、偶数番号のアドレスに記憶されている入力データが読み出される。前記第1フレームと第2フレームの読出しによって、ノンインタレースによって入力されたデータはインタレースのデータとして読み出されることになる。

【0047】ここで、前記メモリアレイ72に対する書込みアドレスと読出しアドレスの関係を図6の本発明のアドレス状態図によって説明する。図3に示したように、シリアル入力メモリ71からメモリアレイ72に書き込む際の書込みアドレスは、1ラインから $n$ ラインの入力データに対してアドレス番地0からアドレス番地 $n-1$ が割り当てられる。これは、入力データがノンインタレース信号であるためである。これに対して、メモリアレイ72を読み出す際の読出しアドレスは、奇数番目のラインに対してはアドレス番地0、2、…、 $n-2$ を読み出し、偶数番目のラインに対してはアドレス番地1、3、…、 $n-1$ を読み出すものである。

【0048】そして、前記奇数番目のラインによって第1フレームを形成し、偶数番目のラインによって第2フレームを形成することになる。なお、前記実施例においては、1周期分の垂直同期信号を1フレームとして、その2フレーム分の期間を1つの周期としているが、2フレームに限定されことなく所定の複数のフレーム分の期間を1周期とすることができる。

【0049】前記書込みにおける書込み行アドレス設定信号 $WA-N$ のタイミングを定めるタイミング信号 $CAS-N$ と、読出しにおける読出し行アドレス設定信号 $RA-N$ のタイミングを定めるタイミング信号 $RAS-N$ の関係を、図1及び図7のゲート回路からの出力信号を示すタイムチャートによって説明する。タイミング信号 $CAS-N$ 、 $RAS-N$ は、図1に示されるようにゲート回路5においてそのアンド条件をとることによって得られるものである。そして、このタイミング信号 $CAS-N$ 、 $RAS-N$ の出力状態は図7に示されるように、位相状態にずれを有した周期的なものとなっている。

【0050】図2に示すように、1ラインごとに書込み命令信号 $Ws$ と読出し命令信号 $Rs$ を出力する場合には、水平同期信号の1周期の間に、この書込み命令信号 $Ws$ と読出し命令信号 $Rs$ に対応したタイミング信号 $CAS-N$ 、 $RAS-N$ の2組が出力される。一方、本発明の実施例の場合には、入力データの書込みに関しては水平同期信号の1周期の間に1ライン分の書込みが1回行われるが、読出しに関しては間欠的に行われ、読出しが行われない周期が存在する。

【0051】図7において、破線で区切られる周期は水平同期信号の1周期を表しており、(a)、(c)及び(e)で示される1周期は書込み命令信号 $Ws$ に対応し

ており、書込みのためのタイミング信号 $CAS-N$ 、 $RAS-N$ の組が出力されており、また(b)及び(d)で示される1周期は書込み命令信号 $Ws$ と読出し命令信号 $Rs$ の両方に対応しており、書込みのためと読出しのためのタイミング信号 $CAS-N$ 、 $RAS-N$ の2組が出力されている。

【0052】次に、本発明のアドレス切換回路について説明する。本発明の液晶表示制御装置においては、前記したようにフレームメモリへの入力データの書込みと読出しを書込み命令信号と読出し命令信号及びアドレス信号によって行っている。そして、このアドレス信号も、書込みか読出しかによって書込み行アドレスと読出し行アドレスの切換えを行っている。

【0053】このアドレス信号の切換えは、図8の本発明のアドレス切換回路によって行われる。図8において、8はフリップフロップ、9はゲート回路、10、11はカウンタ、12、14は3ステートバッファ、13は分周器である。図1におけるアドレス切換回路6は、図8において3ステートバッファ12、14及び分周器13によって構成され、図1の書込み行アドレス発生回路1に対応するカウンタ10からの書込み行アドレス設定信号 $WE-N$ と、図1の読出し行アドレス発生回路2に対応するカウンタ11からの読出し行アドレス設定信号 $RE-N$ の切換えを行うものである。

【0054】ここで、フリップフロップ8は垂直表示信号 $VDISP$ を1水平同期信号分遅延させるための遅延回路を構成するものであり、その遅延された垂直表示信号 $VDISP$ と水平表示信号 $HDISP$ とのアンド条件をとるゲート回路9を介してカウンタ11に入力される。一方、カウンタ10には水平同期信号 $HSYNC$ が入力されている。

【0055】また、カウンタ10及びカウンタ11のクリア端子 $CLR$ には、フリップフロップ8の出力が入力されている。この接続により、カウンタ10は水平同期信号 $HSYNC$ の立ち上がりに同期し、カウントして書込み行アドレスを設定し、カウンタ11は水平表示信号 $HDISP$ の立ち下がりに同期してカウントして読出し行アドレス設定信号を設定する。

【0056】カウンタ10の出力は3ステートバッファ12に入力され、またカウンタ11の出力は3ステートバッファ14に入力され、それぞれの制御端子には書込み行アドレス信号 $WA-N$ と読出し行アドレス信号 $RA-N$ が入力されている。また、3ステートバッファ14には分周器13により垂直同期信号を2分周した最下位ビットが入力されている。

【0057】3ステートバッファ12はカウンタ10の出力信号であるアドレス信号を書込み行アドレス設定信号 $WA-N$ によって転送するか、保持するかを制御するものであり、一方3ステートバッファ14は、カウンタ11の出力信号を各1ビット上方ヘシフトさせたアドレ



ス信号を、読出し行アドレス設定信号R A - Nによって転送するか、保持するかを制御するものである。

【0058】したがって、3ステートバッファ12あるいは3ステートバッファ14からは、アドレス信号書込み行アドレス設定信号W A - N及び読出し行アドレス設定信号R A - Nの制御により書込みアドレス信号と読出しアドレス信号の切り換えが行われる。3ステートバッファ14において、分周器13からの垂直同期信号を2分周した最下位ビットを入力するのは、読出しアドレスにおいて図6に示される第1フレームに対応するアドレス番地を出力するのか、または第2フレームに対応するアドレス番地を出力するのかを設定するためであり、垂直同期信号に応じて切り換えが行われる。

【0059】ここで、書込み行アドレスは $n-1$ と設定され、読出し行アドレスは分周器13の出力信号がローレベルの場合には $2n-2$ 、前記出力信号がハイレベルの場合には $2n-1$ （ここで $n$ は任意の正の整数）と設定する。ここで、本発明の実施例の入力データと出力データの関係は、図9の本発明の入力データと出力データの関係図に示されるように、垂直同期信号V S Y N C - Nの第1の1周期の間には、入力データが1ラインから $n$ ラインまでの $n$ ライン分が入力されるのに対して、出力データは1ラインから $n-1$ ラインまでの奇数番目のラインの出力が行われる。そして、次の垂直同期信号V S Y N C - Nの第2の1周期の間には、入力データは前記第1の1周期の間と同様に1ラインから $n$ ラインまでの $n$ ライン分が入力されるのに対して、出力データは2ラインから $n$ ラインまでの偶数番目のラインの出力が行われる。

【0060】なお、この実施例においては分周器13は垂直同期信号を2分周しているが、2分周に限らず任意の分周（以下、 $m$ 分周という）とすることも可能である。そして、分周器13を任意の $m$ 分周とした場合には、前記フレーム数を $m$ 個として1～ $n$ ラインを $m$ 個に分割して、1フレームに対する任意のフィールド数に対応することができる。つまり、分周器の分周比の変更によって任意のインタレースに対応することができる。

【0061】なお、上記実施例に限定されるものではなく、本発明の趣旨に基づいて種々変形することが可能であり、これらを本発明の範囲から排除するものではない。

#### 【0062】

【発明の効果】以上、詳細に説明したように本発明によれば、フレームメモリの読出しアドレスに基づいて、書込みアドレスを選択することとしたので、フレームメモリにおける書込みアドレスに対し、読出しアドレスを制御してノンインタレースの映像信号をインタレース走査信号の順にデータを並べ換えることにより、映像信号のノンインタレース走査信号をインタレース走査信号に変換することができる。

【0063】これによって、処理が簡単かつ小規模な回路構成によって画飛びによる映像の不連続性や同期ずれを防止することができる。また、分周器の分周比を変更することによって、任意のインタレースに対応することが可能である。

#### 【図面の簡単な説明】

【図1】本発明の液晶表示制御装置を示すブロック図である。

【図2】本発明の液晶表示制御装置のフレームメモリへの書込み命令及び読出し命令のタイムチャートである。

【図3】本発明の液晶表示制御装置のフレームメモリのブロック図である。

【図4】本発明の液晶表示制御装置の書込み命令信号のタイムチャートである。

【図5】本発明の液晶表示制御装置の読出し命令信号のタイムチャートである。

【図6】本発明のアドレス状態図である。

【図7】ゲート回路からの出力信号を示すタイムチャートである。

【図8】本発明のアドレス切換回路図である。

【図9】本発明の入力データと出力データの関係図である。

【図10】従来の液晶表示制御装置を示すブロック図である。

【図11】ノンインタレースによる1フィールドの走査線図である。

【図12】インタレースによる1フィールドの走査線図である。

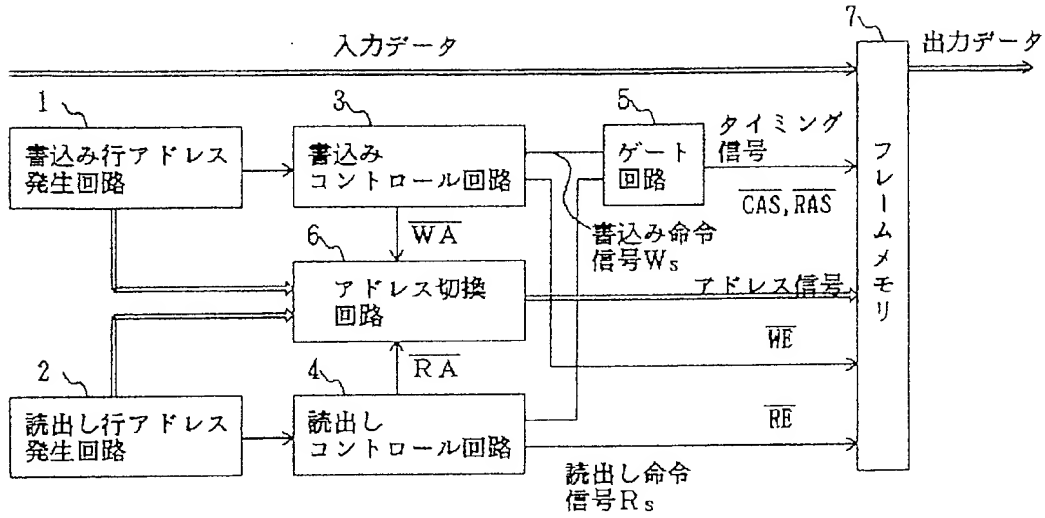
#### 【符号の説明】

- 1 書込み行アドレス発生回路
- 2 読出し行アドレス発生回路
- 3 書込みコントロール回路
- 4 読出しコントロール回路
- 5 ゲート回路
- 6 アドレス切換回路
- 7 フレームメモリ
- 13 分周器
- 71 シリアル入力メモリ
- 72 メモリアレイ
- 73 シリアル出力メモリ
- V S Y N C - N 垂直同期信号
- H S Y N C - N 水平同期信号
- V D I S P 垂直表示信号
- H D I S P 水平表示信号
- C L K シリアル入力クロック信号
- E N E B L E - N イネーブル信号
- W s 書込み命令信号
- R s 読出し命令信号
- W E - N シリアル入力イネーブル信号
- R E - N シリアル出力イネーブル信号

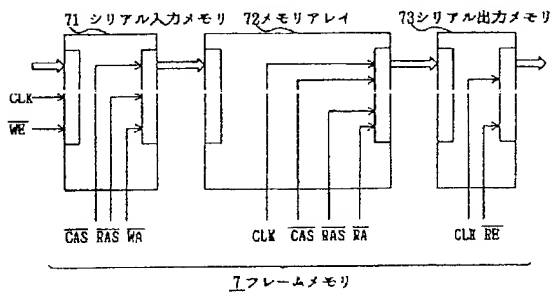
13  
CAS-N, RAS-N タイミング信号  
WA-N 書き込み行アドレス設定信号

14  
RA-N 読出し行アドレス設定信号

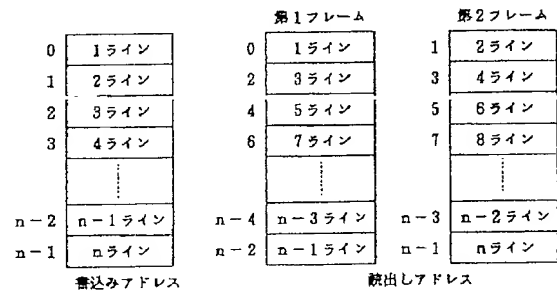
【図1】



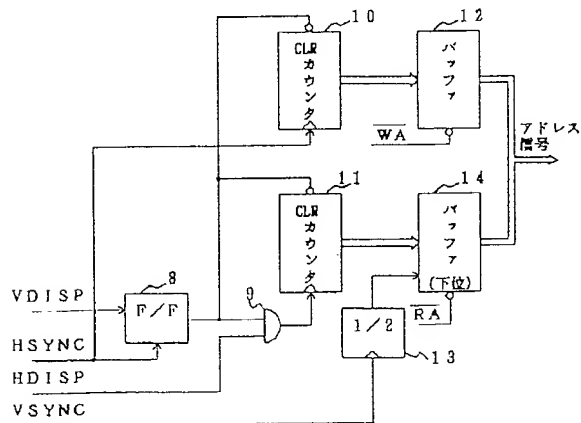
【図3】



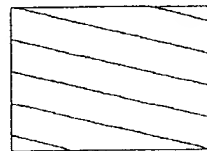
【図6】



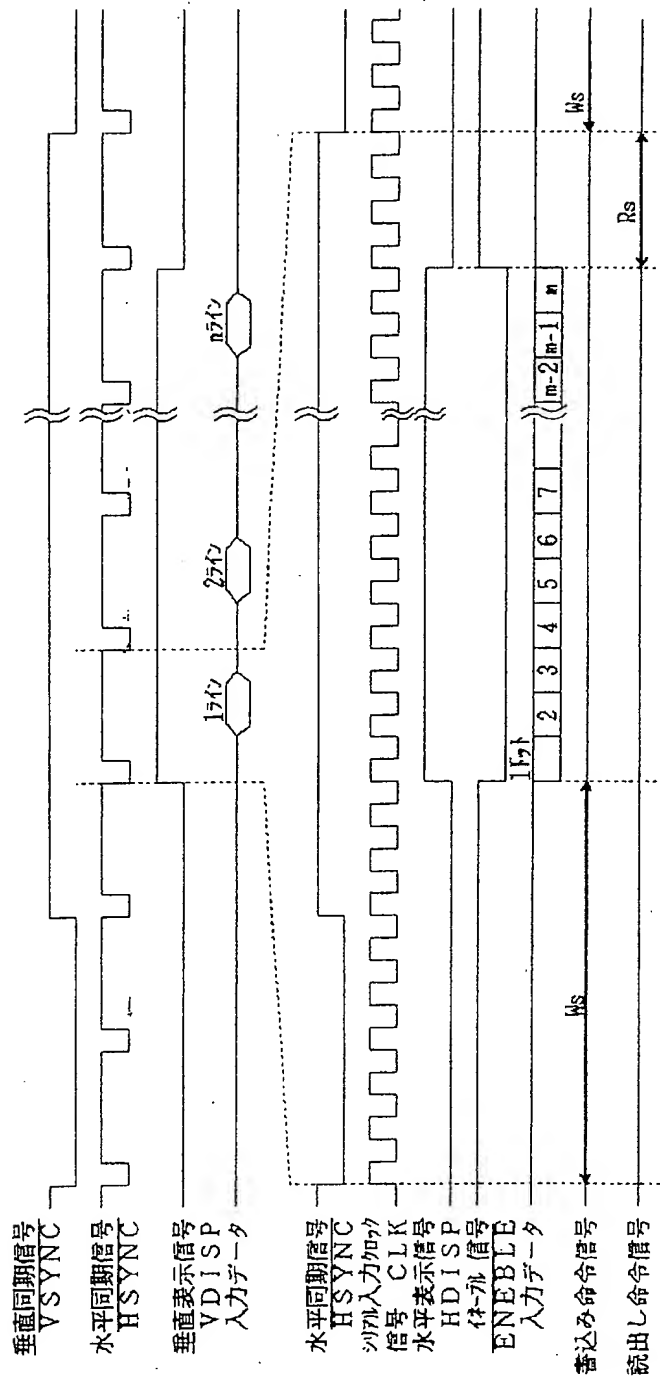
【図8】



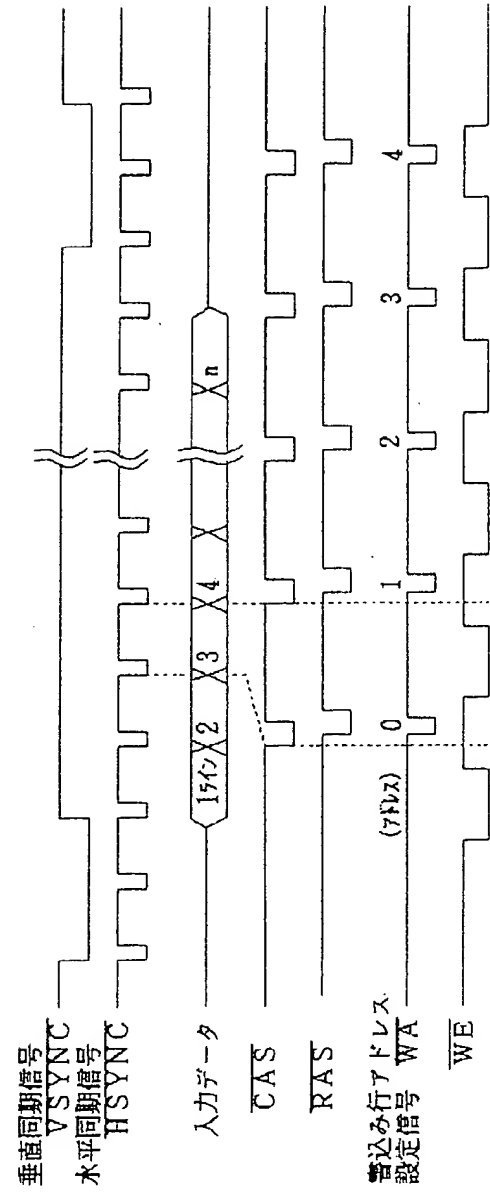
【図11】



【図2】

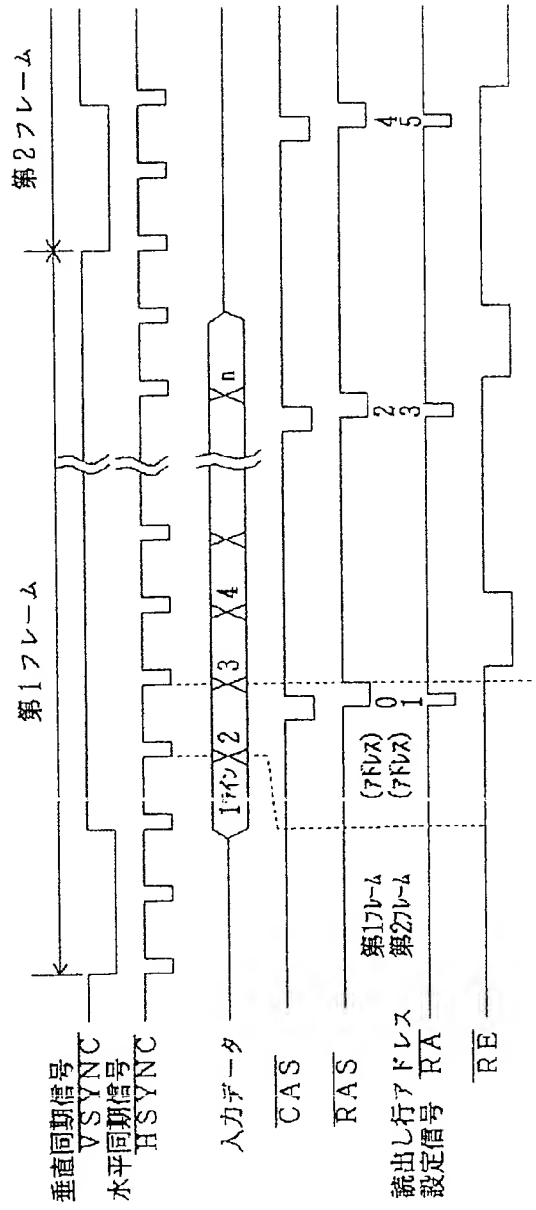


【図4】

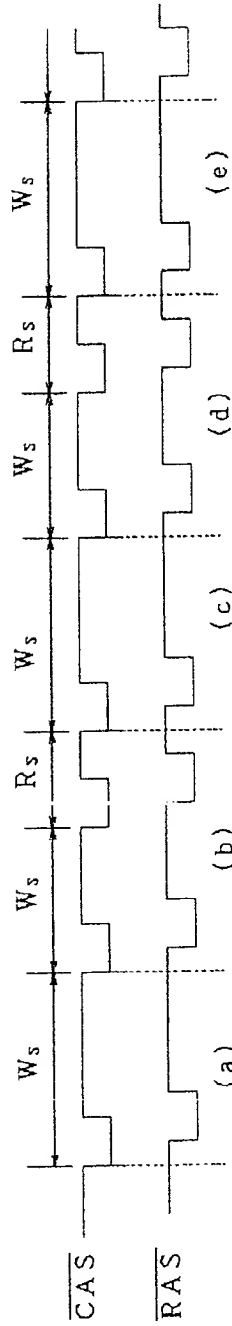


(10)

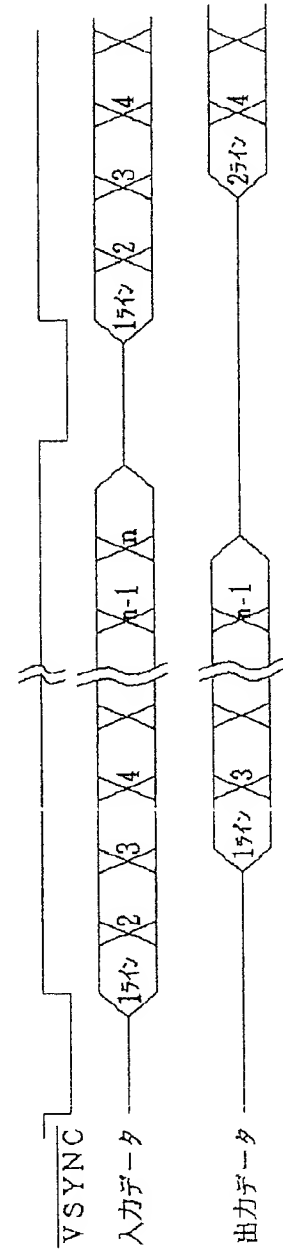
【図 5】



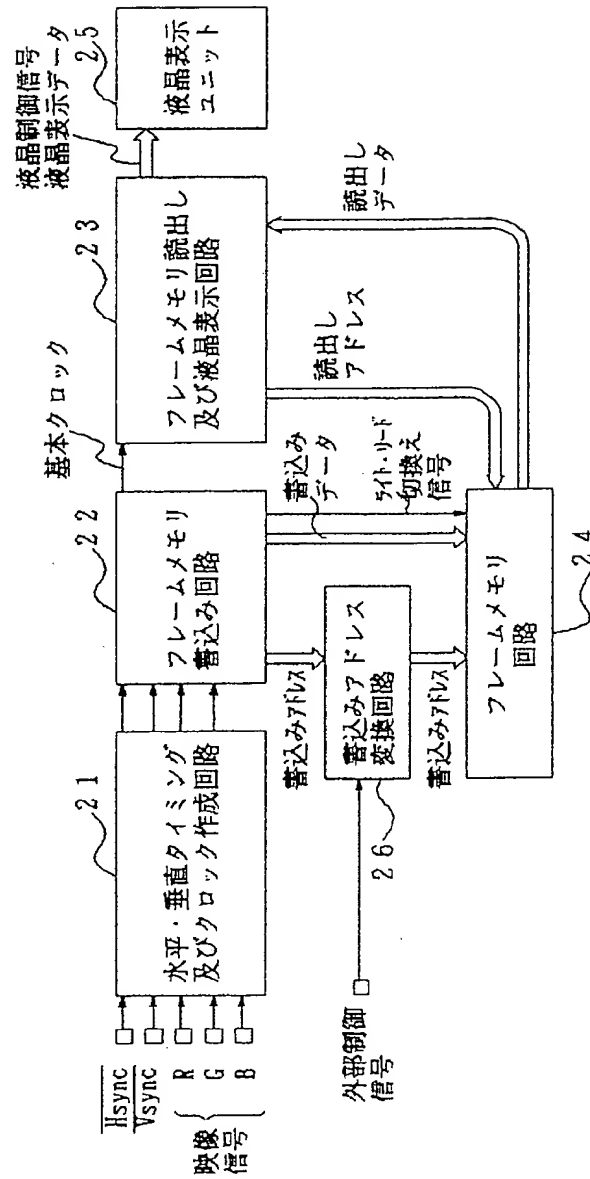
【図 7】



【図 9】



【図10】



【図12】

